

## SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Requested Patent: JP6216260A

Publication date: 1994-08-05

Inventor(s):

UKEDA TAKAAKI; NISHIMURA HIROSHI;  
SHINOHARA SHOHEI NAKABAYASHI TAKASHI;  
(NISHIMURA HIROSHI, ; UKEDA TAKAAKI, ; NAKABAYASHI  
TAKASHI, ; SHINOHARA SHOHEI)

Applicant(s):

MATSUSHITA ELECTRIC IND CO LTD  
(MATSUSHITA ELECTRIC IND CO LTD)

+

Application number: JP19930007245

Application date: 1993-01-20

Priority number(s): JP19930007245 19930120

IPC:

H01L21/28; H01L21/3205; H01L21/768; H01L23/52; H01L21/02;  
H01L21/70; H01L23/52; (IPC1-7): H01L21/90; H01L21/28;  
H01L21/3205

### ABSTRACT:

PURPOSE:To prevent disconnection of an interconnection in a connecting hole due to an electromigration, a stress migration without junction leakage by fluidizing a conductive film by heat treating and burying it in the hole.

CONSTITUTION:An insulating film 8 is formed on a silicon substrate 7 formed with a semiconductor element, a connecting hole 9 is formed, and a laminated film 10 made of a Ti film and a TiN film is formed in the hole 9 and on the film 8. Then, after a conductive film (Al film) 11 in which a crystalline grain size is miniaturized is deposited, it is heat treated to fluidize the film 11, and the hole 9 is buried. Since a density of the grain boundaries 12 can be enhanced by miniaturizing the grain size of the film 11, free energy of the film 11 can be increased. Accordingly, a crystalline state can be varied with less energy.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216260

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. <sup>5</sup> B 01 L 21/90 21/28 21/3205	識別記号 C 7514-4M 3 0 1 R 7376-4M	序内整理番号 F I 7514-4M	技術表示箇所 H 01 L 21/ 88 N
--	--------------------------------------	--------------------------	---------------------------

審査請求 未請求 請求項の数4 O.L (全4頁)

(21)出願番号 特願平5-7245	(71)出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日 平成5年(1993)1月29日	(72)発明者 西村 宏 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
	(72)発明者 愛田 高明 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
	(72)発明者 中林 隆 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
	(74)代理人 弁理士 小鏡治 明 (外2名) 最終頁に続く

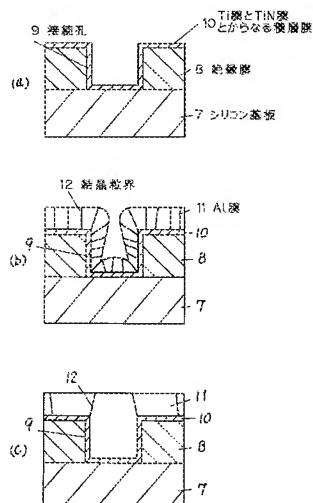
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 本発明は、半導体装置およびその製造方法に関するもので、高い信頼性を有する、接続孔における配線を提供することを目的とする。

【構成】 結晶粒径を微細化したA1膜1を堆積した後、熱処理を行い、A1膜1を流動させ接続孔に埋め込むという構成を備えたことを特徴とする。

【効果】 A1膜の結晶粒径を微細化することにより、結晶粒界密度を高くすることができるでの、A1膜の自由エネルギーを大きくすることができる。よって、より少ないエネルギーで結晶状態を変化させることができる。すなわち、再結晶化温度を低くすることができるでの、A1膜が流動を始める臨界温度を低くすることができる。したがって、A1膜堆積後の熱処理温度を低くすることができるので、接合リーコを引き起こすことなく、エレクトロマイグレーションやストレスマイグレーションによる、接続孔における配線の断線不良を防止することが可能となる。



## 【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜を被着する工程と、前記絶縁膜に接続孔を設ける工程と、前記接続孔内および前記絶縁膜上に結晶粒径を微細化した導電膜を形成する工程と、

熱処理により前記導電膜を加热し流動させて前記接続孔に埋め込む工程とを備えた半導体装置の製造方法。

【請求項2】請求項1記載の導電膜の結晶粒径が、約0.66μmより微細である半導体装置の製造方法。

【請求項3】請求項2記載の導電膜の形成方法が、基板の絶対温度と導電膜の融点との比を0から0.3までの範囲に設定した基板温度で行なう半導体装置の製造方法。

【請求項4】請求項3記載の導電膜の形成方法が、スパッタリング法である半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高信頼性の多層配線を有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体装置における多層配線を形成する方法として、半導体基板上に形成された絶縁膜に接続孔を形成し、接続孔を介して半導体基板と配線とを接続するという方法が用いられている。配線の形成には、一般的にスパッタリング法が用いられているが、この方法で形成した配線は段差被覆性（ステップカバレジ）が非常に悪いという問題がある。その結果、接続孔において配線が非常に薄くなるため、初期の段階で断線に至ったり、エレクトロマイグレーションやストレスマイグレーションによる断線を引き起こしやすいという信頼性上の問題があった。

【0003】上記のような問題を解決する方法として、図2に示すように、シリコン基板1上に、接続孔3を有した絶縁膜2を形成した後、チタン（Ti）膜と塗装チタン（TiN）膜とからなる積層膜4をバリアメタルとして形成し、その後、スパッタリング法により基板温度373K（100°C）程度でAl-Si-Cu合金膜5を堆積し、さらに真空中で823K（550°C）の基板温度で熱処理を行い、接続孔3にAl-Si-Cu合金膜5を流動させて埋め込むという方法がある（例えば、アイ・イー・イー・イー・ディ・エス・アイ・マルチレベル・インターフェクション・コンファレンス（1991）第326頁から第328頁（IEEE VLSI Multilevel Interconnecton Conference (1991) pp. 326-328））。

【0004】このような方法を用いれば、接続孔における配線のステップカバレジの低下を防止できるので、エレクトロマイグレーションやストレスマイグレーションによる断線不良を防止することができる。

【0005】

【発明が解決しようとする課題】しかしながら上記のような構成では、Al-Si-Cu膜堆積後に550°Cの高

温で熱処理を行うので、バリアメタルが破れてシリコン基板とAl-Si-Cu膜が反応してしまい、接続孔における接合リード電流の増加を引き起こすという問題点があった。この接合リード電流の増加は、半導体集積回路の歩留の低下を引き起す。

【0006】本発明は上記の問題点に鑑み、半導体装置において、接合リードを引き起こすことなく、エレクトロマイグレーションやストレスマイグレーションによる、接続孔における配線の断線不良を防止することができる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は上記問題点を解決するため、結晶粒径を微細化した導電膜を堆積した後、熱処理を行い、導電膜を流動させ接続孔に埋め込むという構成を備えたものである。

【0008】また導電膜の結晶粒径が、約0.66μmより微細である。更に導電膜の形成方法が、基板の絶対温度と導電膜の融点との比を0から0.3までの範囲に設定した基板温度で行なうことが望ましい。

【0009】

【作用】本発明は上記した構成によって、導電膜の結晶粒径を微細化することにより、結晶粒界密度を高くすることができる。導電膜の自由エネルギーを大きくすることができる。よって、より少ないエネルギーで結晶状態を変化させることができる。すなわち、再結晶化温度を低くすることができるので、導電膜が流動を始める臨界温度を低くすることができる。したがって、導電膜堆積後の熱処理温度を低くすることができ、接合リードを引き起こすことなく、エレクトロマイグレーションやストレスマイグレーションによる接続孔における配線の断線不良を防止することが可能となる。

【0010】

【実施例】本発明の実施例を図面を参照しながら説明する。

【0011】図1は、本発明の実施例における半導体装置の製造方法の工程断面図を示すものである。

【0012】図1aでは、半導体素子を形成したシリコン基板7上に絶縁膜8を形成し、接続孔9を形成した後、スパッタリング法により、バリアメタルとしてTi膜とTiN膜とからなる積層膜10を接続孔9内および絶縁膜8上に形成する。

【0013】次に図1bでは、液体窒素により基板温度を77K（-196°C）に設定し、Al膜11をスパッタリング法を用いて堆積する。この場合、基板温度T<sub>s</sub>とAlの融点T<sub>m</sub>（933K）との比T<sub>s</sub> / T<sub>m</sub>は0.08である。

【0014】一般にT<sub>s</sub> / T<sub>m</sub>が0.3より小さくなると、つまり、基板温度が279.9K（6.9°C）以下になると、結晶粒径の小さい金属膜が形成され、金属膜堆積中の再結晶化が起りにくくなることが知られている。従来、半導体プロセスにおいては、基板温度298K（25°C）

以上のスパッタリング法によりA1膜を堆積していた。例えば、基板温度473K (200°C) のとき、A1膜の平均結晶粒径は0.66μmである。図3にスパッタリング時の基板温度とA1膜の平均結晶粒径との関係を示す。この図より、基板温度279.9K (6.9°C) の場合のA1膜の平均結晶粒径は約0.45μmとなり、基板温度473K (200°C) の場合の68%に微細化できる。また、基板温度を77K (-196°C) の場合、平均結晶粒径は、基板温度473K (200°C) の場合の30%に微細化できる。このように、A1膜の結晶粒径を微細化すると、結晶粒界密度が高くなるので、A1膜の自由エネルギーが大きくなる。したがって、より少ないエネルギーで結晶状態を変化させることができるようになる。これは再結晶化温度が低くなることを意味する。再結晶化温度が低くなるとA1膜が流動を始める臨界温度が低くなるので、550°Cより低い温度、例えば、450°C以下の温度の熱処理によりA1膜を加熱し流動させ接続孔に埋め込むことが可能となる。

【0015】このような方法を用いれば、パリアメタルが破れてシリコン基板とA1膜が反応することによる接合リード電流の増加を防止できる。この場合、 $T_s/T_m$ が0.3より小さくなる条件でA1膜を堆積しなくてはならない。なぜならば、 $T_s/T_m$ が0.3よりも大きくなると、堆積中にA1膜の再結晶化が始まり、自由エネルギーが低下するので、A1膜が流動を始める臨界温度が高くなる。例えば、 $T_s/T_m=0.4$ 、基板温度373K (100°C) の場合、従来例において示したように、A1膜を流動させるために550°Cの熱処理が必要となり、これは接合リード電流の増加を引き起す。 $T_s/T_m$ は小さいほどA1膜が流動を始める臨界温度が低くなるが、絶対零度よりも低い温度は存在しないので、 $T_s/T_m=0$ が最低値である。したがって、450°C以下の温度の熱処理によりA1膜を流動させるためには、 $T_s/T_m$ は0から0.3の範囲に設定しなければならない。

【0016】次に図1cでは、A1膜1層の堆積後、真空を破らずに450°Cの温度で熱処理を行うことによりA1膜1層を加熱し流動させ接続孔9に埋め込む。このように、77K (-196°C) という低温でA1膜を形成すれば、A1膜の平均結晶粒径を小さくすることができ、結晶粒界密度を高くすることができるので、A1膜の自由エネルギーを大きくすることができる。よって、より少ないエネルギーで結晶状態を変化させることができる。すなわち、再結晶化温度を低くすることができるので、A1膜が流動を始める臨界温度を低くすることができるので、熱処理によって接合リード電流が増加することができなくなる。通常の半導体製造プロセスにおける

多層配線工程においては、配線の合金化やプラズマプロセスで発生した損傷の回復を目的として、一般的に450°C以下の温度の熱処理が用いられている。450°C以下の温度では、接合リード電流の増加の問題は生じない。

【0018】なお、本実施例においては、熱処理にシリコン基板の下のステージを加熱する方法を用いるが、レーザービーム照射法やランプ加熱法等、他の熱処理方法を用いてもよい。また、1層配線の構造を示したが、2層配線、または3層以上の多層配線構造においても同様の効果がある。

【0019】また、本方法は、接続孔の埋め込みだけでなく、配線溝の埋め込みにも有効である。また、微結晶粒を有するA1膜を形成する手段として、スパッタリング法による方法を示したが、ガス蒸発方法のような金属超微粒子を形成する方法やCVD法、真空蒸着法等、他の方法を用いてもよい。ただ、スパッタリング法は従来、製造技術として一般的に広く使用されているので、スパッタリング法を用いる場合、従来の装置の加熱・冷却機構を改造するだけで済むので、コスト・パフォーマンスが良くなるという利点がある。

【0020】また、本実施例においては、A1膜を用いたが、SiやCuのような他の元素を含んだA1合金膜や、A1以外の元素から構成される膜、例えば、銅やタングステンからなる膜を用いても同様の効果がある。

#### 【0021】

【発明の効果】以上のように本発明は、導電膜の結晶粒径を微細化することにより、結晶粒界密度を高くすることができるので、導電膜の自由エネルギーを大きくすることができる。よって、より少ないエネルギーで結晶状態を変化させることができ、すなわち、再結晶化温度を低くすることができるので、導電膜が流動を始める臨界温度を低くすることができる。したがって、導電膜堆積後の熱処理温度を低くすることができ、接合リード電流を引き起こすことなく、エレクトロマイグレーションやストレスマイグレーションによる、接続孔における配線の断線不良を防止することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実施例における半導体装置の製造方法の工程断面図

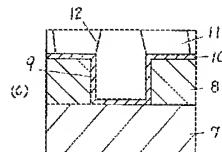
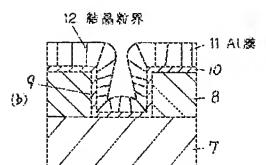
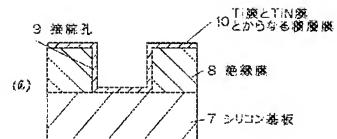
【図2】従来例における半導体装置の製造方法の工程断面図

【図3】スパッタリング時の基板温度とA1膜の平均結晶粒径との関係を示す図

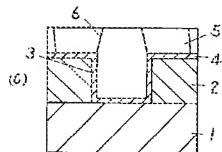
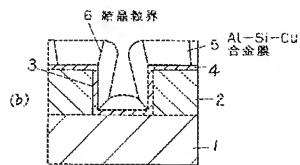
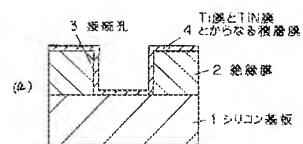
#### 【符号の説明】

- 7 シリコン基板
- 8 超絶縁膜
- 9 接続孔
- 10 Ti膜とTiN膜とからなる疊層膜
- 11 A1膜
- 12 結晶粒界

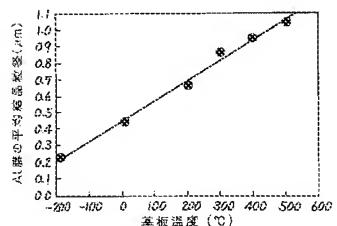
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 篠原 昭平  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内